

First Hit**End of Result Set** **Generate Collection**

L10: Entry 1 of 1

File: JPAB

Oct 1, 1990

PUB-NO: JP402245736A

DOCUMENT-IDENTIFIER: JP 02245736 A

TITLE: LIQUID CRYSTAL DEVICE AND ITS PRODUCTION

PUBN-DATE: October 1, 1990

INVENTOR-INFORMATION:

NAME	COUNTRY
TANIGUCHI, HIDEAKI	
ORITSUKI, RYOJI	
SASANO, AKIRA	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	

APPL-NO: JP01066147

APPL-DATE: March 20, 1989

US-CL-CURRENT: 349/122; 349/FOR.119

INT-CL (IPC): G02F 1/136; G02F 1/13; H01L 29/784

ABSTRACT:

PURPOSE: To obtain a liquid crystal display device in which a conductive film does not corrode by coating a terminal and at least a part of a signal line connected to the terminal with an ITO film and providing an opaque conductive film between the end part of a silicone nitride film and the signal line coated with the ITO film.

CONSTITUTION: The end part of the scanning signal line GL is connected to a gate terminal GTM. The terminal GTM and the part where the scanning signal line GL is connected to the terminal GTM are made of the 1st conductive film g1, which is coated with the 1st conductive film d1 consisting of the ITO film. An island-shaped pattern which is the 2nd conductive film d2 made of chrome, where a source electrode SD 1 and a drain electrode SD 2 are formed, is provided between the end part of a protective film PSV 1 made of the silicon nitride film and the scanning signal line GL. Since water does not infiltrate between the scanning signal line GL and the protective film PSV 1, the scanning signal line GL is prevented from corroding because of the ionization of the 1st conductive film g1 and the 1st conductive film d1 even when potential difference occurs between adjacent scanning signal lines GL. Thus, the liquid crystal display device where the signal line does not corrode is obtained.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報 (A) 平2-245736

⑬ Int. Cl. 5

G 02 F 1/136
1/13
H 01 L 29/784

識別記号

500
101

庁内整理番号

7370-2H
8910-2H

⑭ 公開 平成2年(1990)10月1日

8624-5F H 01 L 29/78 311 A
審査請求 未請求 請求項の数 2 (全16頁)

⑮ 発明の名称 液晶表示装置およびその製造方法

⑯ 特願 平1-66147

⑰ 出願 平1(1989)3月20日

⑱ 発明者 谷口秀明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内⑲ 発明者 折付良二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内⑳ 発明者 笹野晃 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 小川勝男 外1名

明細書

1. 発明の名称

液晶表示装置およびその製造方法

2. 特許請求の範囲

1. 薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリクス方式の液晶表示装置において、端子および上記端子と接続された信号線の少なくとも一部をITO膜で被覆し、窒化シリコン膜の端部と上記ITO膜で被覆された上記信号線との間に不透明導電膜を設けたことを特徴とする液晶表示装置。

2. 薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリクス方式の液晶表示装置を製造する方法において、ゲート絶縁膜として使用される絶縁膜を設げ、上記絶縁膜上に上記画素電極を形成したのち、不透明導電膜によりソース電極、ドレイン電極を形成することを特徴とする液晶表示装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、液晶表示装置、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置に関する。

【従来の技術】

アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く特にカラーでは欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

従来のアクティブ・マトリクス方式の液晶表示装置においては、特開昭61-151516号公報に示されるように、ITO膜（透明導電膜）の上に直接窒化シリコン膜を形成している。

また、従来のアクティブ・マトリクス方式の液晶表示装置の製造方法においては、不透明導電膜

によりソース電極、ドレイン電極を形成したのちに、ITO膜からなる透明画素電極を設けている。
【発明が解決しようとする課題】

しかし、ITO膜の上に直接窒化シリコン膜を形成したときには、窒化シリコン膜を還元性雰囲気で形成するから、窒化シリコン膜を形成する際に、ITO膜が還元されて、ITO膜と窒化シリコン膜との接着が悪くなるので、窒化シリコン膜の端部においてITO膜と窒化シリコン膜との間に水分が浸入するため、隣接する導電膜間に電位差が生ずると、導電膜がイオン化して、導電膜が腐食する。

また、不透明導電膜によりソース電極、ドレイン電極を形成したのちに、ITO膜からなる透明画素電極を設けたときには、ソース電極、ドレイン電極を形成する際に、ゲート絶縁膜として使用される絶縁膜の表面が汚染されるから、ゲート絶縁膜として使用される絶縁膜と透明画素電極の接着が悪くなるので、透明画素電極を形成するときに、ITO膜がレジストとともに剥がれ、透明

画素電極が損傷して、点欠陥になるとともに、透明画素電極を形成するときに、サイドエッティング量が大きくなるので、透明画素電極の面積が小さくなる。

この発明は上述の課題を解決するためになされたもので、導電膜が腐食することがない液晶表示装置、点欠陥になることがなく、かつ透明画素電極が小さくならない液晶表示装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

この目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリクス方式の液晶表示装置において、端子および上記端子と接続された信号線の少なくとも一部をITO膜で被覆し、窒化シリコン膜の端部と上記ITO膜で被覆された上記信号線との間に不透明導電膜を設ける。

また、薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリクス方式の液晶表示装置を製造する方法において、ゲート絶

縁膜として使用される絶縁膜を設け、上記絶縁膜上に上記画素電極を形成したのち、不透明導電膜によりソース電極、ドレイン電極を形成する。

【作用】

この液晶表示装置においては、窒化シリコン膜の端部とITO膜で被覆された信号線との間に不透明導電膜を設けているから、窒化シリコン膜の端部においては、信号線を被覆したITO膜が還元されることはない。

また、この液晶表示装置の製造方法においては、絶縁膜上に画素電極を形成したのち、不透明導電膜によりソース電極、ドレイン電極を形成するから、清浄な絶縁膜上に画素電極を形成することができるので、絶縁膜と透明画素電極の接着が良好となる。

【実施例】

以下、この発明の構成について、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例とともに説明する。

なお、実施例を説明するための全図において、

同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

第2A図はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図であり、第2B図は第2A図のII-B-II-B切断線における断面と表示パネルのシール部付近の断面を示す図であり、第2C図は第2A図のII-C-II-C切断線における断面図である。また、第3図(要部平面図)には、第2A図に示す画素を複数配置したときの平面図を示す。

【画素配置】

第2A図に示すように、各画素は、隣接する2本の走査信号線(ゲート信号線又は水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線又は垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、画素電極ITO1および付加容量Caddを含む。走査信号線GLは、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列

方向に複数本配置されている。

〈パネル断面全体構造〉

第2B図に示すように、液晶層LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側には、カラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1側は、たとえば、1.1[mm]程度の厚さで構成されている。

第2B図の中央部は一画素部分の断面を示しているが、左側は透明ガラス基板SUB1およびSUB2の左側縁部分で外部引出配線の存在する部分の断面を示している。右側は、透明ガラス基板SUB1およびSUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

第2B図の左側、右側のそれぞれに示すシール材SLは、液晶LCを封止するように構成されており、液晶封入口(図示していない)を除く透明ガラス基板SUB1およびSUB2の縁周囲全体

に沿って形成されている。シール材SLは、たとえば、エポキシ樹脂で形成されている。

前記上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、銀ペースト材SILによって、下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線は、前述したゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

配向膜ORI1およびORI2、透明画素電極ITO、共通透明画素電極ITO、保護膜PSV1およびPSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POLは、下部透明ガラス基板SUB1、上部透明ガラス基板SUB2のそれぞれの外側の表面に形成されている。

液晶LCは、液晶分子の向きを設定する下部配向膜ORI1および上部配向膜ORI2の間に封入され、シール部SLによってシールされている。

下部配向膜ORI1は、下部透明ガラス基板S

UB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極(COM)ITO2および上部配向膜ORI2が順次積層して設けられている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後、上下透明ガラス基板SUB1およびSUB2を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

〈薄膜トランジスタTFT〉

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースードレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

各画素の薄膜トランジスタTFTは、画素内において3つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1、TFT2およ

びTFT3で構成されている。薄膜トランジスタTFT1～TFT3のそれぞれは、実質的に同一サイズ(チャネル長と幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1～TFT3のそれぞれは、主に、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドープされていない)非晶質シリコン(Si)からなるi型半導体層AS、一对のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、本表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

〈ゲート電極GT〉

ゲート電極GTは、第4図(第2A図の層g1、g2およびASのみを描いた平面図)に詳細に示すように、走査信号線GLから垂直方向(第2A図および第4図において上方向)に突出する形状

で構成されている(T字形状に分岐されている)。ゲート電極G Tは、薄膜トランジスタTFT 1～TFT 3のそれぞれの形成領域まで突出するよう構成されている。薄膜トランジスタTFT 1～TFT 3のそれぞれのゲート電極G Tは、一体に(共通ゲート電極として)構成されており、走査信号線G Lに連続して形成されている。ゲート電極G Tは、薄膜トランジスタTFTの形成領域において大きい段差を作らないように、单層の第1導電膜g 1で構成する。第1導電膜g 1は、たとえばスパッタで形成されたクロム(Cr)膜を用い、1000[Å]程度の膜厚で形成する。

このゲート電極G Tは、第2A図、第2B図および第4図に示されているように、半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、基板SUB 1の下方に蛍光灯等のバックライトBLを取付けた場合、この不透明のCrゲート電極G Tが影となって、半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわちTFTのオフ特性劣

化は起きにくくなる。なお、ゲート電極G Tの本来の大きさは、ソース・ドレイン電極SD 1とSD 2間をまたがるに最低限必要な(ゲート電極とソース・ドレイン電極の位置合わせ余裕分も含めて)幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース・ドレイン電極間の距離(チャンネル長)Lとの比、すなわち相互コンダクタンスgmを決定するファクタW/Lをいくつにするかによって決められる。

この実施例におけるゲート電極の大きさは勿論、上述した本来の大きさよりも大きくなる。

ゲート電極G Tのゲートおよび遮光の機能面からだけで考えれば、ゲート電極G Tおよび走査信号線G Lは単一の層で一体に形成しても良く、この場合不透明導電材料としてSiを含有させたAl、純Al、Pdを含有させたAl等を選ぶことができる。

《走査信号線G L》

前記走査信号線G Lは、第1導電膜g 1およびその上部に設けられた第2導電膜g 2からなる複

合膜で構成されている。この走査信号線G Lの第1導電膜g 1は、前記ゲート電極G Tの第1導電膜g 1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g 2は、たとえば、スパッタで形成されたアルミニウム膜を用い、1000～5500[Å]程度の膜厚で形成する。第2導電膜g 2は、走査信号線G Lの抵抗値を低減し、信号伝達速度の高速化(画素の情報の書き込み特性向上)を図ることができるよう構成されている。

また、走査信号線G Lは、第1導電膜g 1の幅寸法に比べて第2導電膜g 2の幅寸法を小さく構成している。すなわち、走査信号線G Lは、その側壁の段差形状がゆるやかになっている。

さらに、第1A図～第1C図に示すように、走査信号線G Lの端部はゲート端子G TMに接続されており、端子G TMおよび走査信号線G Lの端子G TMと接続された部分は第1導電膜g 1からなり、第1導電膜g 1は透明画素電極ITO 1が形成されるITO膜からなる第1導電膜d 1(説明後述)によって被覆され、また窒化シリコン膜

からなる保護膜PSV 1(説明後述)の端部と走査信号線G Lとの間にソース電極SD 1、ドレイン電極SD 2が形成されるクロムからなる第2導電膜d 2(説明後述)で島状パターンが設けられている。このため、保護膜PSV 1の端部においては、走査信号線G Lを被覆した第1導電膜d 1が還元されることはないから、保護膜PSV 1の端部において走査信号線G Lと保護膜PSV 1との接着が良好となるので、走査信号線G Lと保護膜PSV 1との間に水分が浸入することはないと想定する。走査信号線G L間に電位差が生じたとしても、第1導電膜g 1、第1導電膜d 1がイオン化して、走査信号線G Lが腐食することはない。

《ゲート絶縁膜G I》

絶縁膜G Iは、薄膜トランジスタTFT 1～TFT 3のそれぞれのゲート絶縁膜として使用される。絶縁膜G Iは、ゲート電極G Tおよび走査信号線G Lの上層に形成されている。絶縁膜G Iは、たとえば、プラズマCVDで形成された窒化珪素

膜を用い、3000[Å]程度の膜厚で形成する。

《半導体層AS》

i型半導体層ASは、第4図に示すように、複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのチャネル形成領域として使用される。i型半導体層ASは、アモーファスシリコン膜又は多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi,N_x、ゲート絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもその装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドープしたN⁺層d0(第2B図)も同様に連続して約400[Å]の厚さに形成される。しかる後下側基板SUB1はCVD装置から外に取り出され、写真処理技術により、N⁺層d0およびi層ASは第2A図、第2B図および第4図に示すように独立した島にバーニングされる。

i型半導体層ASは、第2A図および第4図に



第2導電膜d2は、スパッタで形成したクロム膜を用い、500～1000[Å]の膜厚(この実施例では、600[Å]程度の膜厚)で形成する。クロム膜は、膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜は、N⁺型半導体層d0との接触が良好である。クロム膜は、後述する第3導電膜d3のアルミニウムがN⁺型半導体層d0に拡散することを防止する、所謂バリア層を構成する。第2導電膜d2としては、クロム膜の他に、高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi_x、TiSi_x、TaSi_x、WSi_x)膜で形成してもよい。

第2導電膜d2を写真処理でバーニングした後、同じ写真処理用マスクで或は第2導電膜d2をマスクとしてN⁺型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN⁺型半導体層d0は第2導電膜d2以外の部分がセルファーラインで除去される。このとき、N⁺型半導体層d0はその厚さ分は全て除去されるようエッ

チ示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバ部)の両者間にも設けられている。この交差部i型半導体層ASは、交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

《ソース・ドレイン電極SD1、SD2》

複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのソース電極SD1とドレイン電極SD2とは、第2A図、第2B図および第5図(第2A図の第1導電膜d1～第3導電膜d3のみを描いた平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合させて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

チされるのでi型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すれば良い。

しかる後第3導電膜d3が、アルミニウムのスパッタリングで3000～5500[Å]の膜厚(この実施例では、3500[Å]程度の膜厚)に形成される。アルミニウム膜は、クロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3としては、アルミニウム膜の他に、シリコン(Si)や銅(Cu)を添加物として含有させたアルミニウム膜で形成してもよい。

ソース電極SD1の第2導電膜d2、ドレイン電極SD2の第2導電膜d2のそれぞれは、上層の第3導電膜d3に比べて内側に(チャネル領域内)大きく入り込んでいる。つまり、これらの部分における第2導電膜d2は、第3導電膜d3とは無関係に薄膜トランジスタTFTのゲート長Lを規定できるように構成されている。

ソース電極 S D 1 は、透明導電膜 (Indium-Tin-Oxide ITO: ネサ膜) から成りかつ 1000~2000 [Å] の膜厚 (この実施例では、1200[Å] 程度の膜厚) の第 1 導電膜 d 1 で形成された透明画素電極 ITO 1 (説明後述) に接続されている。ソース電極 S D 1 は、i 型半導体層 A S の段差形状 (N+ 型半導体層 d 0 の膜厚と i 型半導体層 A S の膜厚とを加算した膜厚に相当する段差) に沿って構成されている。具体的には、ソース電極 S D 1 は、i 型半導体層 A S の段差形状に沿って形成された第 2 導電膜 d 2 と、この第 2 導電膜 d 2 の上部にそれに比べて透明画素電極 ITO 1 と接続される側を小さいサイズで形成した第 3 導電膜 d 3 とで構成されている。ソース電極 S D 1 の第 3 導電膜 d 3 は、第 2 導電膜 d 2 のクロム膜がストレスの増大から厚く形成できず、i 型半導体層 A S の段差形状を乗り越えられないので、この i 型半導体層 A S を乗り越えるために構成されている。つまり、第 3 導電膜 d 3 は、厚く形成することでステップカバレッジを向上している。第 3 導電膜 d 3

は、厚く形成できるので、ソース電極 S D 1 の抵抗値 (ドライン電極 S D 2 や映像信号線 D L についても同様) の低減に大きく寄与している。透明画素電極 ITO 1 は第 2 導電膜 d 2 に接続するよう構成されている。第 1 導電膜 d 1 と第 2 導電膜 d 2 とは、接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、確実に接続することができるとともに、第 1 導電膜 d 1 と第 3 導電膜 d 3 とが接触しないので、第 3 導電膜 d 3 が酸化されることはない。

〈画素電極 ITO 1 〉

前記透明画素電極 ITO 1 は、各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極 ITO 1 は、画素の複数に分割された薄膜トランジスタ TFT 1~TFT 3 のそれぞれに対応して 3 つの透明画素電極 (分割透明画素電極) E 1、E 2、E 3 に分割されている。透明画素電極 E 1~E 3 は各々薄膜トランジスタ TFT のソース電極 S D 1 に接続されている。

透明画素電極 E 1~E 3 のそれぞれは、実質的

に同一面積となるようにパターニングされている。このように、1 画素の薄膜トランジスタ TFT を複数の薄膜トランジスタ TFT 1~TFT 3 に分割し、この複数に分割された薄膜トランジスタ TFT 1~TFT 3 のそれぞれに複数に分割した透明画素電極 E 1~E 3 のそれぞれを接続することにより、分割された一部分 (たとえば、TFT 1) が点欠陥になってしまっても、画素全体でみれば点欠陥でなくなる (TFT 2 および TFT 3 が欠陥でない) ので、点欠陥の確率を低減することができる、また欠陥を見にくくすることができる。

また、前記画素の分割された透明画素電極 E 1~E 3 のそれぞれを実質的に同一面積で構成することにより、透明画素電極 E 1~E 3 のそれぞれと共に透明画素電極 ITO 2 とで構成されるそれぞれの液晶容量 (Cpix) を均一にすることができます。

〈保護膜 P S V 1 〉

薄膜トランジスタ TFT および透明画素電極 ITO 1 上には、保護膜 P S V 1 が設けられている。

保護膜 P S V 1 は、主に、薄膜トランジスタ TFT を湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜 P S V 1 は、たとえば、プラズマ CVD で形成した酸化珪素膜や窒化珪素膜で形成されており、8000[Å] 程度の膜厚で形成する。

〈遮光膜 B M 〉

上部基板 S U B 2 側には、外部光 (第 2 B 図では上方からの光) がチャネル形成領域として使用される i 型半導体層 A S に入射されないように、遮蔽膜 B M が設けられ、第 6 図のハッチングに示すようなバターンとされている。なお、第 6 図は第 2 A 図における ITO 膜層 d 3、フィルタ層 F I L および遮光膜 B M のみを描いた平面図である。遮光膜 B M は、光に対する遮蔽性が高い、たとえば、アルミニウム膜やクロム膜等で形成されており、この実施例では、クロム膜がスパッタリングで 1300[Å] 程度の膜厚に形成される。

したがって、TFT 1~3 の共通半導体層 A S は上下にある遮光膜 B M および大き目のゲート電



板G Tによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜B Mは第6図のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜B Mは格子状に形成され（ブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜B Mによってはっきりとしコントラストが向上する。つまり遮光膜B Mは、半導体層A Sに対する遮光とブラックマトリクスとの2つの機能をもつ。

なお、バックライトをSUB 2側に取り付け、SUB 1を観察側（外部露出側）とすることもできる。

《共通電極ITO 2》

共通透明画素電極ITO 2は、下部透明ガラス基板SUB 1側に画素毎に設けられた透明画素電極ITO 1に対向し、液晶の光学的な状態は各画素電極ITO 1と共通電極ITO 2間の電位差（電界）に応答して変化する。この共通透明画素電極ITO 2には、コモン電圧V_{com}が印加され

ことができる。まず、上部透明ガラス基板SUB 2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。次に、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

《保護膜PSV 2》

保護膜PSV 2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV 2は、たとえば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

《画素配列》

前記液晶表示部の各画素は、第3図および第7図に示すように、走査信号線GLが延在する方向と同一列方向に複数配置され、画素列X₁、X₂、X₃、X₄、…のそれぞれを構成している。各画素列X₁、X₂、X₃、X₄、…のそれぞれの画素は、薄膜トランジスタTFT₁～TFT₃および透明

のように構成されている。コモン電圧V_{com}は、映像信号線DLに印加されるロウレベルの駆動電圧V_{d min}とハイレベルの駆動電圧V_{d max}との中间電位である。

《カラーフィルタFIL》

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは、画素に対向する位置に各画素毎にドット状に形成され（第7図）、染め分けられている（第7図は第3図の第3導電膜層d₃とカラーフィルタ層FILのみを描いたもので、R、G、Bの各フィルターはそれぞれ、45°、135°、クロスのハッチを施してある）。カラーフィルタFILは第6図に示すように画素電極ITO₁（E₁～E₃）の全てを覆うように大き目に形成され、遮光膜B MはカラーフィルタFILおよび画素電極ITO₁のエッジ部分と重なるよう画素電極ITO₁の周縁部より内側に形成されている。

カラーフィルタFILは、次のように形成する

画素電極E₁～E₃の配置位置を同一に構成している。つまり、奇数画素列X₁、X₃、…のそれぞれの画素は、薄膜トランジスタTFT₁～TFT₃の配置位置を左側、透明画素電極E₁～E₃の配置位置を右側に構成している。奇数画素列X₁、X₃、…のそれぞれの行方向の隣りの偶数画素列X₂、X₄、…のそれぞれの画素は、奇数画素列X₁、X₃、…のそれぞれの画素を前記映像信号線DLの延在方向を基準にして線対称でひっくり返した画素で構成されている。すなわち、画素列X₂、X₄、…のそれぞれの画素は、薄膜トランジスタTFT₁～TFT₃の配置位置を右側、透明画素電極E₁～E₃の配置位置を左側に構成している。そして、画素列X₂、X₄、…のそれぞれの画素は、画素列X₁、X₃、…のそれぞれの画素に対し、列方向に半画素間隔移動させて（すらして）配置されている。つまり、画素列Xの各画素間隔を1.0（1.0ピッチ）とすると、次段の画素列Xは、各画素間隔を1.0とし、前段の画素列Xに対して列方向に0.5画素間隔（0.5ピッチ）ずれている。

各画素間を行方向に延在する映像信号線 DL は、各画素列 X 間において、半画素間隔分 (0.5ピッチ分) 列方向に延在するように構成されている。

その結果、第 7 図に示すように、前段の画素列 X の所定色フィルタが形成された画素 (たとえば、画素列 X の赤色フィルタ R が形成された画素) と次段の画素列 X の同一色フィルタが形成された画素 (たとえば、画素列 X 4 の赤色フィルタ R が形成された画素) とが 1.5 画素間隔 (1.5ピッチ) 離隔され、また、RGB のカラーフィルタ F T L は三角形配置となる。カラーフィルタ F T L の RGB の三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

また、映像信号線 DL は、各画素列 X 間において、半画素間隔分しか列方向に延在しないので、隣接する映像信号線 DL と交差しなくなる。したがって、映像信号線 DL の引き回しをなくしその占有面積を低減することができ、また映像信号線 DL の迂回をなくし多層配線構造を廃止すること

ができる。

《表示パネル全体等価回路》

この液晶表示部装置の等価回路を第 8 図に示す。X_i G, X_{i+1} G, … は、緑色フィルタ G が形成される画素に接続された映像信号線 DL である。X_i B, X_{i+1} B, … は、青色フィルタ B が形成される画素に接続された映像信号線 DL である。X_{i+1} R, X_{i+2} R, … は、赤色フィルタ R が形成される画素に接続された映像信号線 DL である。これらの映像信号線 DL は、映像信号駆動回路で選択される。Y_i は第 3 図および第 7 図に示す画素列 X 1 を選択する走査信号線 G L である。同様に、Y_{i+1}, Y_{i+2}, … のそれぞれは、画素列 X 2, X 3, … のそれぞれを選択する走査信号線 G L である。これらの走査信号線 G L は、垂直走査回路に接続されている。

《付加容量 Cadd の構造》

透明画素電極 E 1～E 3 のそれぞれは、薄膜トランジスタ TFT と接続される端部と反対側の端部において、隣りの走査信号線 G L と重なるよう、

L 字状に屈折して形成されている。この重ね合せは、第 2 C 図からも明らかなように、透明画素電極 E 1～E 3 のそれぞれを一方の電極 P L 2 とし、隣りの走査信号線 G L を他方の電極 P L 1 とする保持容量素子 (静電容量素子) Cadd を構成する。この保持容量素子 Cadd の誘電体膜は、薄膜トランジスタ TFT のゲート絶縁膜として使用される絶縁膜 G I と同一層で構成されている。

保持容量 Cadd は、第 4 図からも明らかなように、ゲート線 G L の 1 層目 g 1 の幅を広げた部分に形成されている。なお、ドレイン線 DL と交差する部分の層 g 1 はドレイン線との短絡の確率を小さくするため細くされている。

保持容量素子 Cadd を構成するために重ね合わされる透明画素電極 E 1～E 3 のそれぞれと容量電極線 (g 1) との間の一部には、前記ソース電極 S D 1 と同様に、段差形状を乗り越える際に透明画素電極 I T O 1 が断線しないように、第 1 道電膜 d 1 および第 2 道電膜 d 2 で構成された島領域が設けられている。この島領域は、透明画素電

極 I T O 1 の面積 (開口率) を低下しないように、できる限り小さく構成する。

《付加容量 Cadd の等価回路とその動作》

第 2 A 図に示される画素の等価回路を第 9 図に示す。第 9 図において、C_{gs} は薄膜トランジスタ TFT のゲート電極 G T およびソース電極 S D 1 間に形成される寄生容量である。寄生容量 C_{gs} の誘電体膜は絶縁膜 G I である。C_{pix} は透明画素電極 I T O 1 (P I X) および共通透明画素電極 I T O 2 (C O M) 間で形成される液晶容量である。液晶容量 C_{pix} の誘電体膜は液晶 L C、保護膜 P S V 1 および配向膜 O R I 1, O R I 2 である。V_{1c} は中点電位である。

前記保持容量素子 Cadd は、TFT がスイッチングするとき、中点電位 (画素電極電位) V_{1c} に対するゲート電位変化 ΔV_g の影響を低減するよう働く。この様子を式で表すと

$$\Delta V_{1c} = (C_{gs}/(C_{gs} + C_{add} + C_{pix})) \times \Delta V_g$$

となる。ここで ΔV_{1c} は ΔV_g による中点電位の変化分を表わす。この変化分 ΔV_{1c} は液晶に加わ

る直流成分の原因となるが、保持容量 C_{add} を大きくすればする程その値を小さくすることができる。また、保持容量 C_{add} は放電時間を長くする作用もあり、TFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残る所謂焼き付きを低減することができる。

前述したように、ゲート電極GTは半導体層A Sを完全に覆うよう大きくされている分、ソース・ドレイン電極SD1、SD2とのオーバラップ面積が増え、したがって寄生容量 C_{gs} が大きくなり中点電位 V_{lc} はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、保持容量 C_{add} を設けることによりこのデメリットも解消することができる。

前記保持容量素子 C_{add} の保持容量は、画素の書き特性から、液晶容量 C_{pix} に対して4~8倍 ($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$)、重ね合せ容量 C_{gs} に対して8~32倍 ($8 \cdot C_{gs} < C_{add}$)

<32· C_{gs}) 程度の値に設定する。

《付加容量 C_{add} 電極線の結線方法》

容量電極線としてのみ使用される最終段の走査信号線 GL (または初段の走査信号線 GL) は、第8図に示すように、共通透明画素電極 (V_{com}) ITO_2 に接続する。共通透明画素電極 ITO_2 は、第2B図に示すように、液晶表示装置の周縁部において銀ペースト材 SL によって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層 (g_1 および g_2) は走査信号線 GL と同一製造工程で構成されている。この結果、最終段の容量電極線 GL は、共通透明画素電極 ITO_2 に簡単に接続することができる。

または、第8図の点線で示すように、最終段(初段)の容量電極線 GL を初段(最終段)の走査信号線 GL に接続しても良い。なお、この接続は液晶表示部内の内部配線或は外部引出配線によって行うことができる。

《付加容量 C_{add} 走査信号による直流分相殺》

この液晶表示装置は、先に本願出願人によって

出願された特願昭62-95125号に記載される直流相殺方式 (DCキャンセル方式) に基づき、第10図 (タイムチャート) に示すように、走査信号線 DL の駆動電圧を制御することによってさらに液晶LCに加わる直流成分を低減することができる。第10図において、 V_i は任意の走査信号線 GL の駆動電圧、 V_{i+1} はその次段の走査信号線 GL の駆動電圧である。 V_{ee} は走査信号線 GL に印加されるロウレベルの駆動電圧 V_{dmin} 、 V_{dd} は走査信号線 GL に印加されるハイレベルの駆動電圧 V_{dmax} である。各時刻 $t = t_1 \sim t_n$ における中点電位 V_{lc} (第9図参照) の電圧変化分 $\Delta V_1 \sim \Delta V_n$ は次のようになる。

$$\begin{aligned}\Delta V_1 &= -(C_{gs}/C) \cdot V_2 \\ \Delta V_2 &= +(C_{gs}/C) \cdot (V_1 + V_2) \\ &\quad - (C_{add}/C) \cdot V_2 \\ \Delta V_3 &= -(C_{gs}/C) \cdot V_1 \\ &\quad + (C_{add}/C) \cdot (V_1 + V_2) \\ \Delta V_n &= -(C_{add}/C) \cdot V_1\end{aligned}$$

ただし、画素の合計の容量: $C = C_{gs} + C_{pix}$

$+ C_{add}$

ここで、走査信号線 GL に印加される駆動電圧が充分であれば (下記【注】参照)、液晶LCに加わる直流電圧は、

$\Delta V_1 + \Delta V_2 = (C_{add} \cdot V_2 - C_{gs} \cdot V_1) / C$ となるので、 $C_{add} \cdot V_2 = C_{gs} \cdot V_1$ とすると、液晶LCに加わる直流電圧は0になる。

【注】時刻 $t_1 \sim t_n$ で走査線 V_i の変化分が中点電位 V_{lc} に影響を及ぼすが、 $t_1 \sim t_n$ の期間に中点電位 V_{lc} は信号線 X_i を通じて映像信号電位と同じ電位にされる (映像信号の十分な書き込み)。液晶にかかる電位はTFTがオフした直後の電位でほぼ決定される (TFTオフ期間がオン期間より圧倒的に長い)。したがって、液晶にかかる直流分の計算は、期間 $t_1 \sim t_n$ はほぼ無視でき、TFTがオフ直後の電位、即ち時刻 $t_1 \sim t_n$ における過渡時の影響を考えれば良い。なお、映像信号 V_i はフレーム毎、あるいはライン毎に極性が反転し、映像信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、重ね合せ容量 C_{gs} による中点電位 V_{lc} の引き込みによる低下分を、保持容量素子 C_{add} および次段の走査信号線 GL (容量電極線) に印加される駆動電圧によって押し上げ、液晶 LC に加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶 LC の寿命を向上することができる。勿論、遮光効果を上げるためにゲート GT を大きくした場合、それに伴って保持容量 C_{add} の値を大きくすれば良い。

つぎに、この発明に係る液晶表示装置の製造方法について説明する。まず、7059ガラス(商品名)からなる下部透明ガラス基板 SUB_1 上に膜厚が1100[Å]のクロムからなる第1導電膜 g_1 をスパッタリングにより設ける。つぎに、エッティング液として硝酸第2セリウムアンモニウム溶液を使用した写真蝕刻技術で第1導電膜 g_1 を選択的にエッティングすることによって、走査信号線 GL の第1層、ゲート電極 GT 、ゲート電極 GTM 、ドレイン端子、映像信号線のドレイン端子と接続

された一部および保持容量素子 C_{add} の電極 PL_1 を形成する。つぎに、レジストを剥離液 $S50_2$ (商品名)で除去したのち、O₂ アッシャーを1分間行なう。つぎに、膜厚が1000[Å]のアルミニウム-シリコン-パラジウム(またはアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等)からなる第2導電膜 g_2 をスパッタリングにより設ける。つぎに、エッティング液としてリン酸と硝酸と酢酸との混酸を使用した写真蝕刻技術で第2導電膜 g_2 を選択的にエッティングすることにより、走査信号線 GL の第2層を形成する。つぎに、ドライエッティング装置にSF₆ガスを導入して、シリコン等の残渣を除去したのち、レジストを除去する。つぎに、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500[Å]の窒化シリコン膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1800~2200[Å]のi型非晶質シリコン膜を設けたのち、プラズマCVD装置

に水素ガス、ホスフィンガスを導入して、膜厚が400[Å]のN⁺型シリコン膜を設ける。つぎに、ドライエッティングガスとしてSF₆、CCl₄を使用した写真蝕刻技術でN⁺型シリコン膜、i型非晶質シリコン膜を選択的にエッティングすることにより、i型半導体層 AS を形成する。つぎに、レジストを除去したのち、ドライエッティングガスとしてSF₆を使用した写真蝕刻技術で、窒化シリコン膜を選択的にエッティングすることによって、絶縁膜 GI を形成する。つぎに、レジストを除去したのち、膜厚が1200[Å]のITO膜からなる第1導電膜 d_1 をスパッタリングにより設ける。つぎに、エッティング液として塩酸と硝酸との混酸を使用した写真蝕刻技術で第1導電膜 d_1 を選択的にエッティングすることにより、透明画素電極 IT_0 およびゲート端子 GTM 、ドレイン端子の最上層を形成する。つぎに、レジストを除去し、230℃、N₂ガス雰囲気でベークしたのち、膜厚が600~1200[Å]たとえば600[Å]のクロムからなる第2導電膜 d_2 をスパッタリングにより形成

する。つぎに、写真蝕刻技術で第2導電膜 d_2 を選択的にエッティングすることにより、映像信号線 DL 、ソース電極 SD_1 、ドレイン電極 SD_2 の第1層を形成するとともに、走査信号線 GL 、映像信号線 DL 上の保護膜 PSV_1 の端部となるべき位置に島状パターンを形成する。つぎに、レジストを除去する前に、ドライエッティング装置にCCl₄、SF₆を導入して、N⁺型シリコン膜を選択的にエッティングすることにより、N⁺型半導体層 d_0 を形成する。つぎに、レジストを除去したのち、膜厚が3000~5500[Å]たとえば3500[Å]のアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等からなる第3導電膜 d_3 をスパッタリングにより設ける。つぎに、写真蝕刻技術で第3導電膜 d_3 を選択的にエッティングすることにより、映像信号線 DL 、ソース電極 SD_1 、ドレイン電極 SD_2 の第2層を形成する。つぎに、レジストを除去したのち、プラズマCVD装置にアンモニアガス、シランガス、窒素

ガスを導入して、膜厚が1 [μ]の塗化シリコン膜を設ける。つぎに、ドライエッティングガスとしてSF₆を使用した写真蝕刻技術で塗化シリコン膜を選択的にエッティングすることによって、保護膜PSV1を形成する。

この液晶表示装置の製造方法においては、絶縁膜G1上に透明画素電極ITO1を形成したのち、第2導電膜d2、第3導電膜d3によりソース電極SD1、ドレイン電極SD2を形成するから、清浄な絶縁膜G1上に透明画素電極ITO1を形成することができる。このため、絶縁膜G1と透明画素電極ITO1との接着が良好となるから、透明画素電極ITO1を形成するときに、第1導電膜d1がレジストとともに剥がれることはなく、透明画素電極ITO1が損傷しないので、点欠陥になることはない。また、透明画素電極ITO1を形成するときに、サイドエッティング量はほとんど生じないため、透明画素電極ITO1の面積が小さくなることはない。

以上、本発明者によってなされた発明を、前記

実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

たとえば、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。また、上述実施例においては、下部透明ガラス基板SUB1が7059ガラスからなる場合について説明したが、青板ガラス、他のノンアルカリガラスなどからなる下部透明ガラス基板を用いてもよい。さらに、上述実施例においては、第1導電膜g1によって保持容量素子Caddの電極PL1を形成したが、ITO膜により保持容量素子Caddの電極PL1を形成してもよい。また、下部透明ガラス基板SUB1の両面にディップ処理により膜厚が700~1200[A]のSiO₂膜を設けてもよい。さらに、第2導電膜d2と第3導電膜d3とを1回のフォトエ

ッティングにより形成してもよい。

【発明の効果】

以上説明したように、この発明に係る液晶表示装置においては、塗化シリコン膜の端部とITO膜で被覆された信号線との間に不透明導電膜を設けているから、塗化シリコン膜の端部においては、信号線を被覆したITO膜が還元されることはないので、塗化シリコン膜の端部において信号線と塗化シリコン膜との接着が良好となるため、信号線と塗化シリコン膜との間に水分が浸入しないで、隣接する信号線間に電位差が生じたとしても、信号線を構成する導電膜がイオン化することはない、信号線が腐食することはない。

また、この発明に係る液晶表示装置の製造方法においては、絶縁膜上に画素電極を形成したのち、不透明導電膜によりソース電極、ドレイン電極を形成するから、清浄な絶縁膜上に画素電極を形成することができる。このため、絶縁膜と画素電極との接着が良好となるから、画素電極を形成するときに、画素電極を構成する膜がレジストとともに

剥がれることはないので、画素電極が損傷することなく、点欠陥になることはない。また、画素電極を形成するときに、サイドエッティング量はほとんど生じないため、画素電極の面積が小さくなることはない。

このように、この発明の効果は顕著である。

4. 図面の簡単な説明

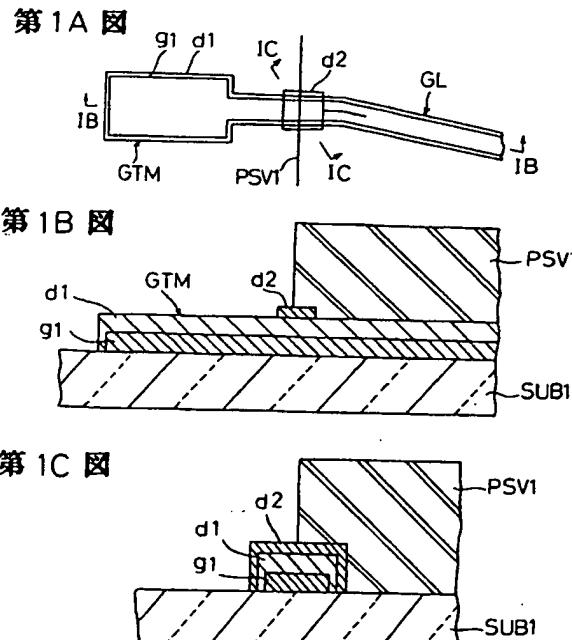
第1A図は第2A図等に示された液晶表示装置のゲート端子部を示す概略平面図、第1B図は第1A図のI B - I B切断線における断面図、第1C図は第1A図のI C - I C切断線における断面図、第2A図はこの発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第2B図は第2A図のII B - II B切断線で切った部分とシール部周辺部の断面図、第2C図は第2A図のII C - II C切断線における断面図、第3図は第2A図に示す画素を複数配置した液晶表示部の要部平面図、第4図~第6図は第2A図に示す画素の所定の層のみを描いた平面図、第7図は第3図に示す画素

電極層とカラーフィルタ層のみを描いたとを重ね合せた状態における要部平面図、第8図はアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図、第9図は第2A図に記載される画素の等価回路図、第10図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャートである。

S U B … 透明ガラス基板
G L … 走査信号線
D L … 映像信号線
G I … 絶縁膜
G T … ゲート電極
A S … i型半導体層
S D … ソース電極またはドレイン電極
P S V … 保護膜
B M … 遮光膜
L C … 液晶
T F T … 薄膜トランジスタ
I T O … 透明画素電極
g, d … 導電膜

C add … 保持容量素子
C gs … 重ね合せ容量
C pix … 液晶容量
G T M … ゲート端子

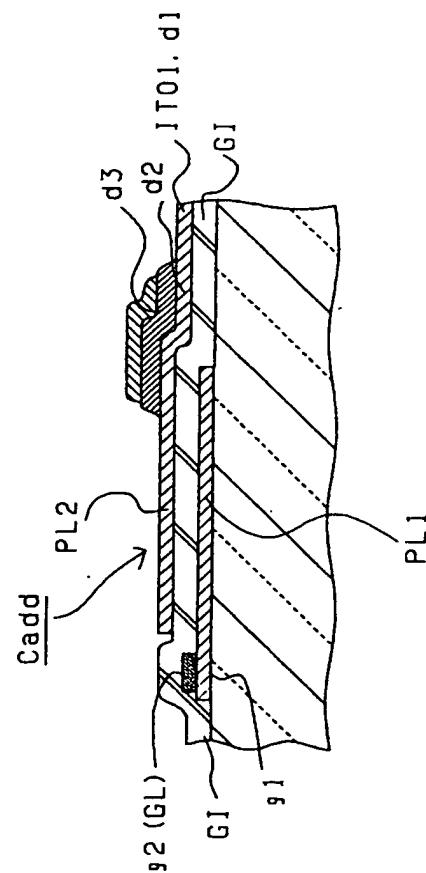
代理人 弁理士 小川盛男



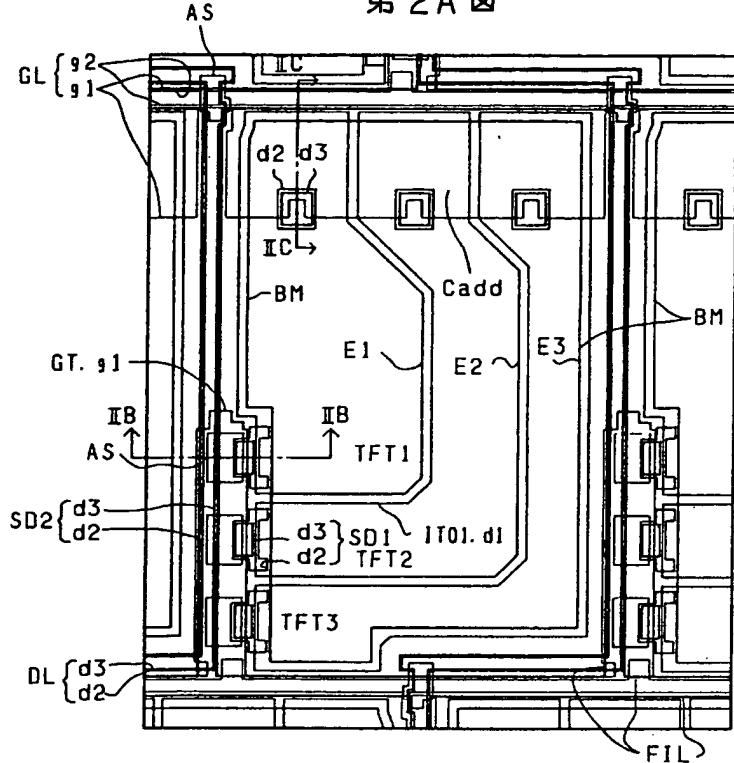
GTM … ケト端子
d1 … 第1導電膜
PSV1 … 保護膜

GL … 走査信号線
d2 … 第2導電膜

第2C図

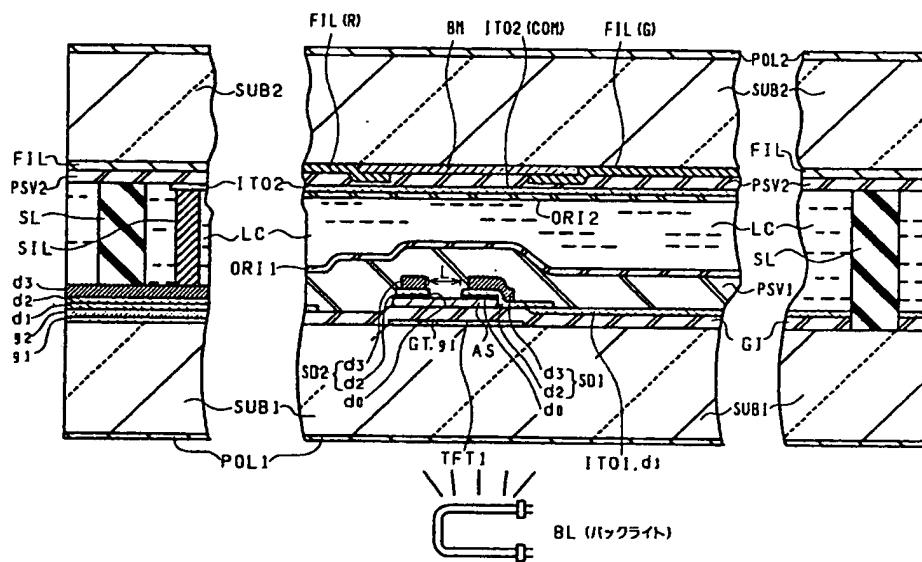


第2A図

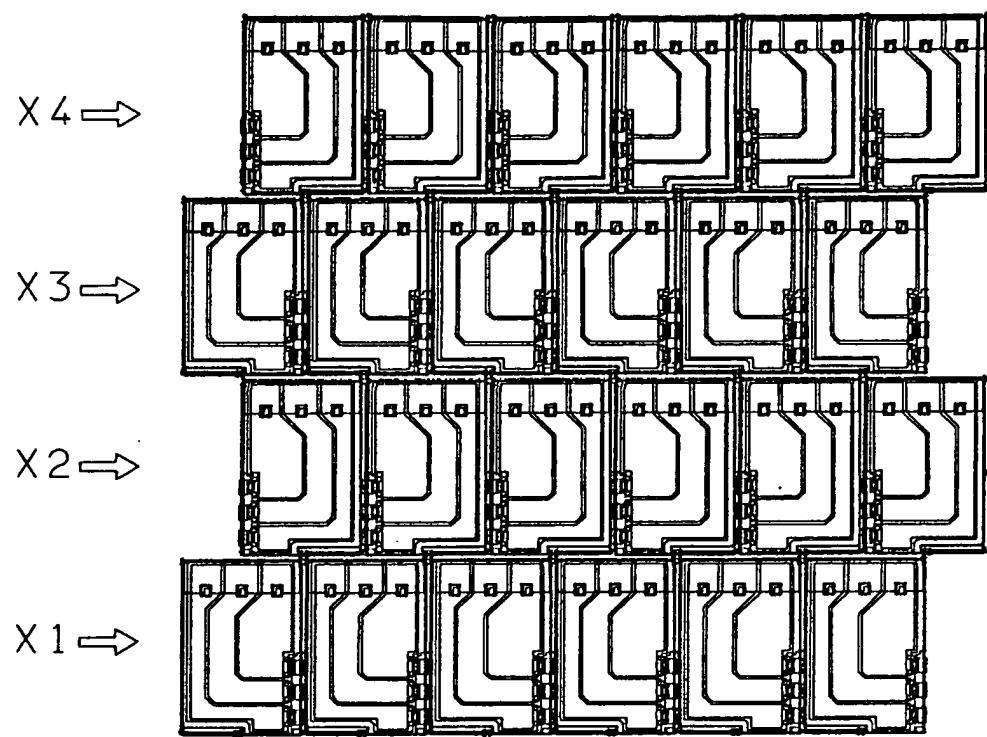


第2B図

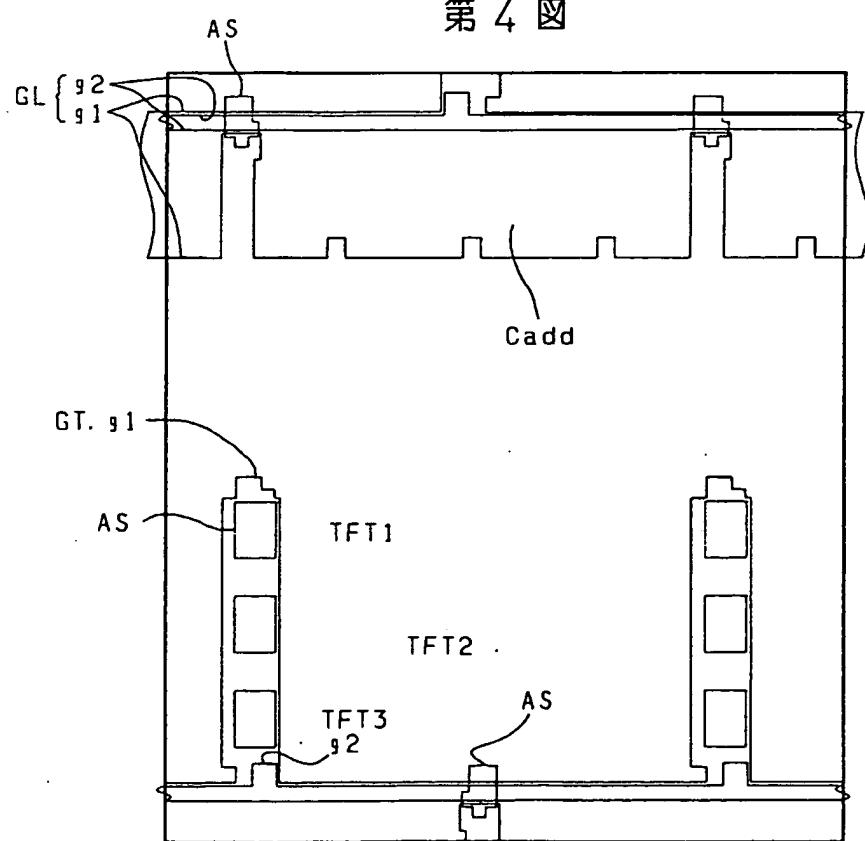
POL1, POL2 - 極光板
 SUB2 - 上部ガラス基板
 FIL - カラーフィルタ
 PSV2 - カラーフィルタの保護膜
 ITO2 - 共通透明電極
 ORI2 - 上部配向膜
 LC - 液晶
 ORI1 - 下部配向膜
 BM - ブラックマトリックス
 PSV1 - TFTの保護膜
 ITO1 (厚d3) - 透明電極
 SD - ソース・ドレイン電極
 (厚d1~d3)
 AS - I型半導体層
 GI - ゲート絶縁膜
 GT - ゲート電極 (厚d1, d2)
 SUB1 - 下部ガラス基板
 BL - バックライト



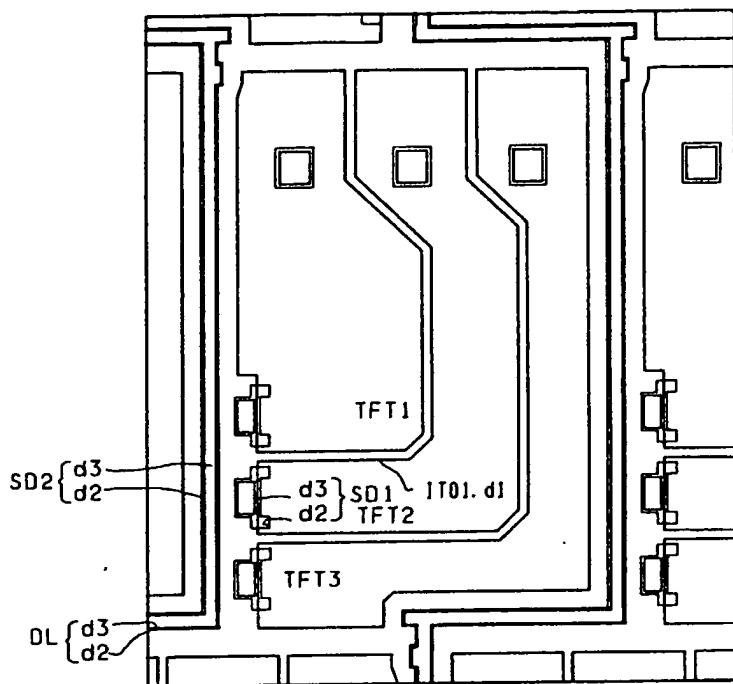
第3図



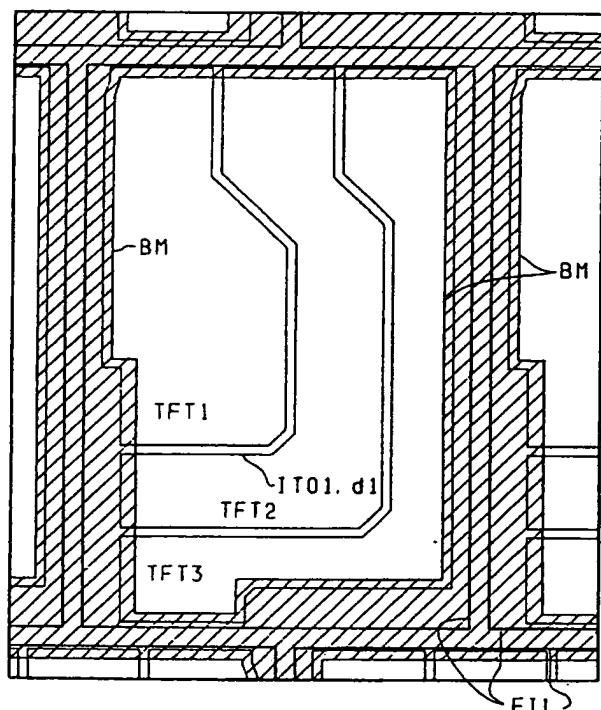
第4図



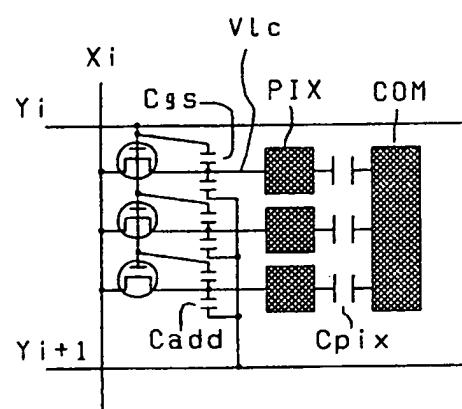
第5図



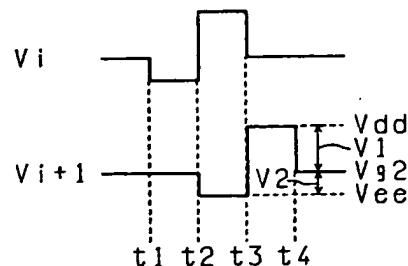
第6図



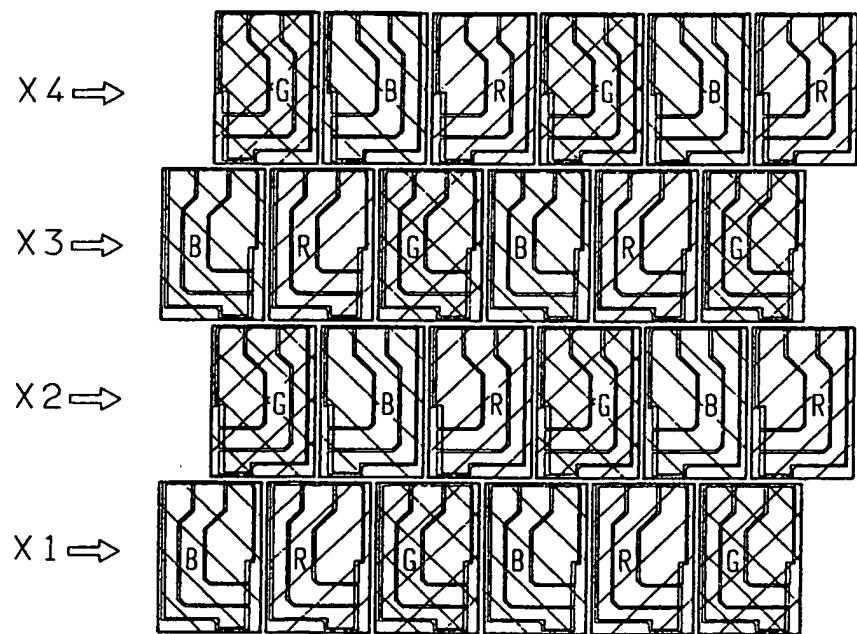
第9図



第10図



第7図



第8図

